



## Inversor CHB-5-MLI trifásico con optimización de armónicos: implementación y validación experimental

### CHB-5-MLI three-phase inverter with harmonic optimization: implementation and experimental validation

Marleny Fernández Sandoval<sup>1</sup> y Luis David Pabón Fernandez<sup>2</sup>  
Jorge Luis Díaz Rodríguez<sup>3</sup> y Aldo Pardo García<sup>4</sup>

Fecha de Recepción: 22 de diciembre de 2025

Fecha de Aceptación: 17 de marzo de 2026

**Cómo citar:** M. Fernández Sandoval, L. D. Pabón Fernandez, J. L. Díaz Rodríguez y A. Pardo García, "Inversor CHB-5-MLI trifásico con optimización de armónicos: implementación y validación experimental," *Tecnura*, vol. 30, no. 87, pp. xx-xx, 2026, <https://doi.org/10.14483/22487638.24874>

## Resumen

**Contexto:** los sistemas de tracción eléctrica modernos demandan convertidores de potencia capaces de operar bajo condiciones dinámicas exigentes, garantizando un suministro de energía estable, eficiente y de calidad. Uno de los principales problemas en estos sistemas es la distorsión armónica introducida por el inversor, la cual afecta negativamente el funcionamiento de la máquina.

**Objetivo:** implementar un inversor multinivel en cascada trifásico con optimización armónica para aplicaciones de tracción eléctrica.

**Metodología:** la metodología consta de la definición de la topología del inversor, la estructuración de una estrategia de conmutación complementada con un modelo de optimización y la validación mediante pruebas funcionales del prototipo en vacío.

**Resultados:** se obtuvieron formas de tensión con niveles definidos, aproximación senoidal y equilibrio entre fases. Experimentalmente se registraron valores de THD entre 1.2% y 1.6% para tensiones de fase, y entre 1.0% y 1.2% para tensiones de línea.

**Conclusiones:** la topología de inversor multinivel en cascada trifásico, junto con un modelo de optimización armónica mediante algoritmos genéticos, constituye una solución viable al problema del alto contenido armónico en convertidores de potencia para sistemas de tracción.

**Palabras clave:** inversor multinivel; optimización armónica; THD; electrónica de potencia; tracción eléctrica.

<sup>1</sup>Ingeniera Electrónica, Magíster en Controles Industriales, Facultad de Ingenierías y Arquitectura, Universidad de Pamplona, Colombia. Email: [marleny.fernandez@unipamplona.edu.co](mailto:marleny.fernandez@unipamplona.edu.co)

<sup>2</sup>Ingeniero Eléctrico, Magíster en Controles Industriales, Investigador Asociado, Facultad de Ingenierías y Arquitectura, Universidad de Pamplona, Colombia. Email: [davidpabon@unipamplona.edu.co](mailto:davidpabon@unipamplona.edu.co)

<sup>3</sup>Ingeniero Electricista, Máster en Automática, Investigador Senior, Facultad de Ingenierías y Arquitectura, Universidad de Pamplona, Colombia. Email: [jdiazcu@unipamplona.edu.co](mailto:jdiazcu@unipamplona.edu.co)

<sup>4</sup>Ingeniero Eléctrico, Doctor en Ingeniería Eléctrica, Investigador Senior, Facultad de Ingenierías y Arquitectura, Universidad de Pamplona, Colombia. Email: [apardo13@unipamplona.edu.co](mailto:apardo13@unipamplona.edu.co)



## Abstract

**Context:** modern electric traction systems demand power converters capable of operating under demanding dynamic conditions, guaranteeing a stable, efficient and high-quality power supply.

**Objective:** to implement a three-phase cascaded multilevel inverter with harmonic optimization for electric traction applications.

**Methodology:** the methodology includes topology definition, switching strategy design, harmonic optimization and prototype validation through no-load experimental tests.

**Results:** the prototype produced defined voltage levels, a sinusoidal approximation and balanced three-phase operation. THD values between 1.2 % and 1.6 % for phase voltages and between 1.0 % and 1.2 % for line voltages were obtained.

**Conclusions:** the three-phase cascaded multilevel inverter topology combined with a genetic-algorithm-based harmonic optimization model is a viable solution for reducing harmonic distortion in traction-oriented power converters.

**Keywords:** multilevel inverter; harmonic optimization; THD; power electronics; electric traction.

---

## 1. Introducción

El incremento sostenido en la demanda de sistemas de conversión de potencia de media y alta capacidad ha impulsado el desarrollo de topologías multinivel capaces de mejorar la calidad espectral de las señales eléctricas y reducir el estrés eléctrico en dispositivos semiconductores (1,2). En este contexto, los inversores multinivel (MLI) han demostrado ventajas significativas frente a convertidores de dos niveles, especialmente en aplicaciones donde la distorsión armónica total (THD) y la eficiencia energética son parámetros críticos, tales como sistemas industriales, integración de energías renovables y accionamientos eléctricos de potencia media (3–6).

Diversas topologías han sido propuestas y estudiadas extensamente, incluyendo convertidores de punto neutro fijado (NPC), de condensadores volantes (FC) y de puente H en cascada (CHB) (7). Estudios recientes (8) evidencian que, si bien las topologías NPC presentan buena capacidad de manejo de potencia, la arquitectura CHB ofrece ventajas estructurales relevantes en términos de modularidad, escalabilidad y distribución del estrés de tensión entre dispositivos (9,10). No obstante, el incremento en el número de niveles conlleva desafíos asociados al diseño del esquema de conmutación y al control del contenido armónico (7,11).

En paralelo al desarrollo topológico, se han propuesto múltiples estrategias de modulación y optimización armónica con el fin de reducir la THD sin incrementar excesivamente la frecuencia de conmutación (12). Técnicas convencionales basadas en SPWM multinivel presentan simplicidad de implementación (13), pero suelen requerir altas frecuencias de conmutación para alcanzar bajos niveles de distorsión (14). Alternativamente, los métodos de eliminación selectiva de armónicos permiten reducir componentes específicas de bajo orden (15); sin embargo, su resolución implica enfrentar sistemas no lineales altamente sensibles a las condiciones iniciales (16,17). En este contexto, algoritmos metaheurísticos como los empleados en (7,18) han demostrado ser herramientas eficaces para la optimización de ángulos de disparo en MLI (19).

Sin embargo, una parte significativa de los estudios recientes se concentra en validaciones por simulación o en configuraciones topológicas distintas al CHB-5 con implementación práctica limitada. Además, en varios casos la optimización armónica se analiza desde el punto de vista algorítmico sin una integración completa con hardware digital programable que permita evaluar efectos reales como sincronización de disparos, retardos temporales y tolerancias físicas del sistema.

En este marco, el presente trabajo aborda el diseño e implementación experimental de un inversor multinivel trifásico CHB de cinco niveles (CHB-5-MLI) con optimización armónica basada en algoritmo genético, programado en una plataforma FPGA. El estudio integra el modelado matemático de los estados de conmutación, la formulación de la función objetivo para minimización de THD hasta el armónico 50 y la validación experimental del prototipo físico bajo condiciones de operación en vacío.

La contribución principal radica en la implementación integral del esquema optimizado en hardware real y demuestra experimentalmente valores de THD inferiores al 2% en tensiones de fase y línea-línea sin recurrir a frecuencias de conmutación elevadas ni filtros externos complejos. De esta manera, el trabajo aporta evidencia práctica sobre la viabilidad de combinar la topología CHB-5 con técnicas evolutivas de optimización armónica en entornos de conversión de potencia modular.

El artículo se organiza de la siguiente manera: la Sección 2 describe la topología adoptada y el modelado del sistema; la Sección 3 presenta el modelo de optimización genética; la Sección 4 detalla la implementación experimental; la Sección 5 expone los resultados obtenidos; finalmente, la Sección 6 discute el desempeño comparativo y las conclusiones del estudio.

## 2. Metodología

La metodología del presente estudio consiste en la implementación y validación de un inversor multinivel trifásico orientado a la disminución del contenido armónico. Esta comprende, en primer lugar, la selección y configuración de la topología del inversor; posteriormente, la implementación del modelo de optimización para el ajuste de parámetros operativos. Finalmente, se realiza la validación y el análisis integral de resultados con pruebas experimentales en vacío, como se presenta en la Figura 1.

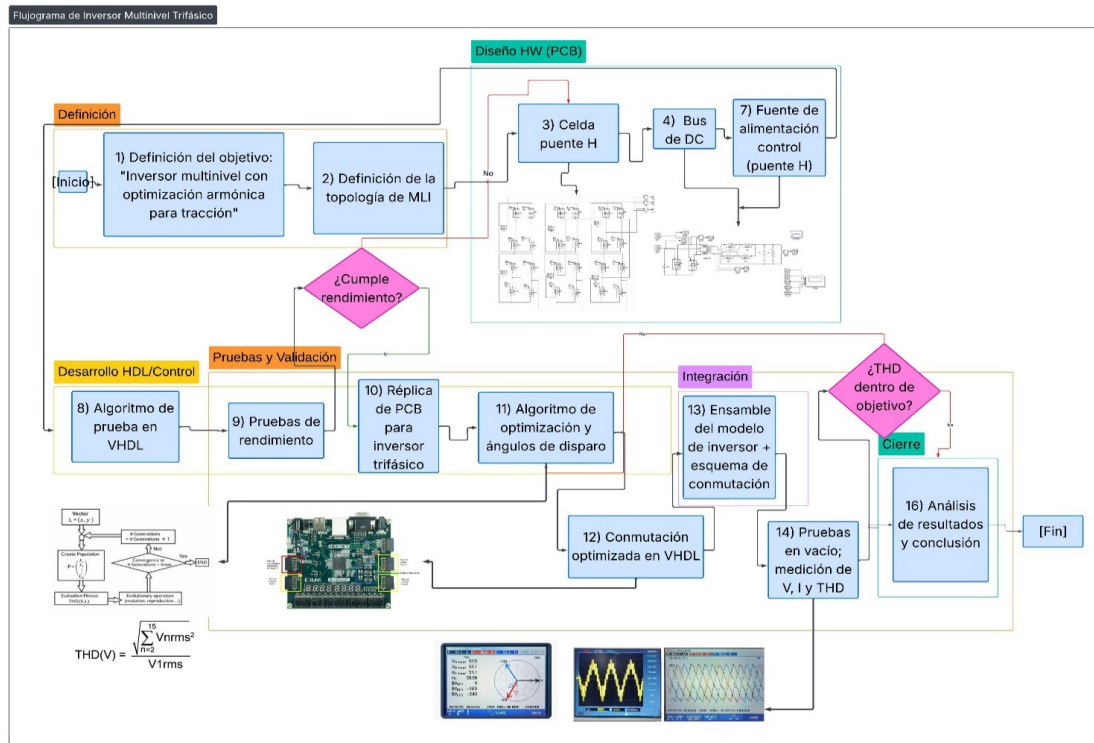


Figura 1. Metodología de desarrollo del inversor multinivel en cascada trifásico.

Fuente: elaboración propia.

## 2.1. Selección de la topología multinivel

La selección de la topología adecuada del inversor multinivel (MLI) es fundamental en el diseño del convertidor de potencia, ya que influye directamente en el rendimiento, la eficiencia, el costo y la idoneidad del sistema para aplicaciones de tracción (20). Aunque la topología CHB-MLI puede requerir un mayor número de componentes a medida que aumentan los niveles de tensión (18), ofrece una significativa reducción de armónicos y alta eficiencia, lo que la hace apropiada para sistemas de alta potencia. Esta topología también reduce el estrés de voltaje en los dispositivos semiconductores, al emplear múltiples fuentes de corriente continua de bajo voltaje para generar una salida de alta potencia (18, 21). Con base en estas ventajas, se adopta una topología multinivel en cascada trifásica de cinco niveles con fuentes independientes y transformadores de alta frecuencia, con el fin de facilitar el aislamiento eléctrico y la modularidad del sistema.

El número de niveles de tensión por fase  $m$  está denotado como:

$$m = 2n + 1 \quad (1)$$

donde  $n$  corresponde al número de celdas integradas por fase. Para diseño se obtiene un

inversor de cinco niveles con dos celdas por fase. De manera análoga, el número de niveles línea a línea se expresa como:

$$m_{l-l} = 4n + 1 \quad (2)$$

lo que se traduce a nueve niveles de tensión línea a línea.

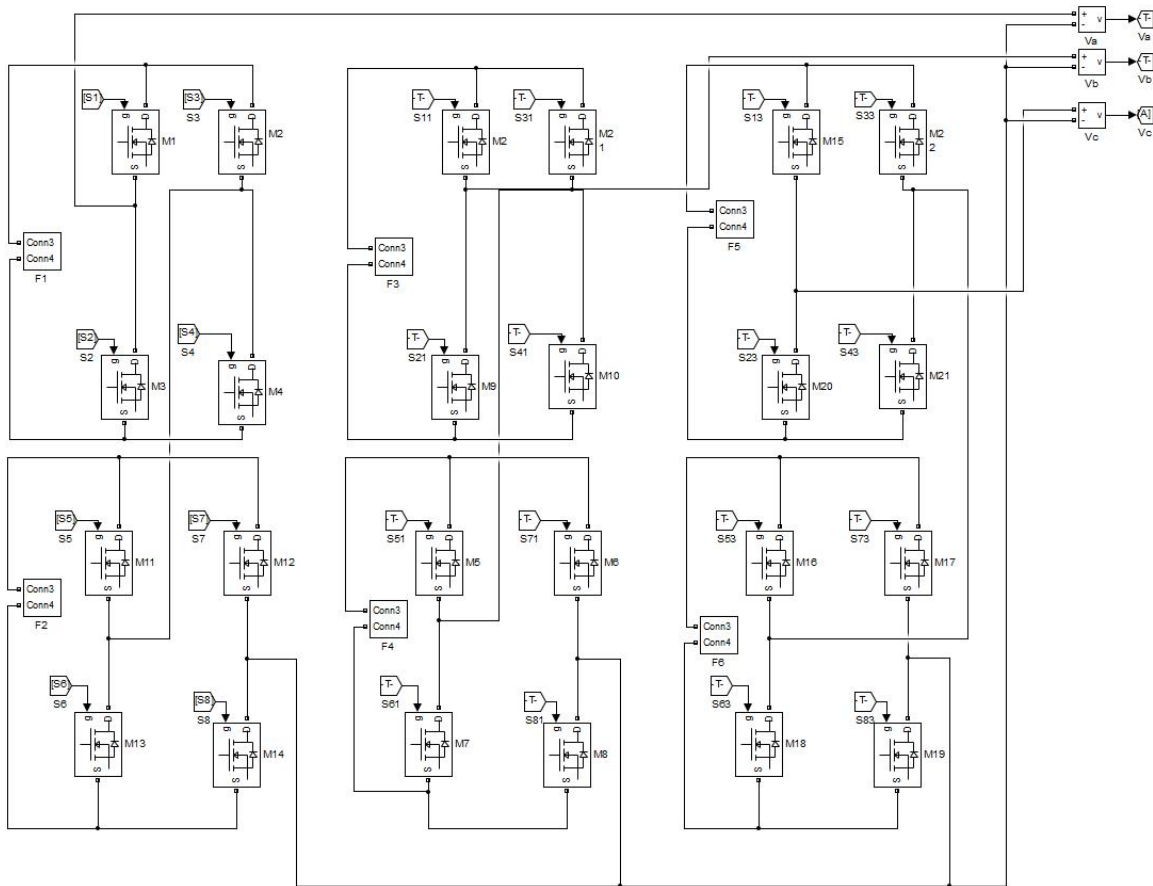


Figura 2. Topología del inversor multinivel en cascada trifásico de cinco niveles CHB-5-MLI.

Fuente: elaboración propia.

## 2.2. Implementación del bus de DC

El esquema presentado en la Figura 3 corresponde al diseño del bus de DC que alimenta el inversor, el cual integra sistema de conmutación de medio puente con MOSFET, transformadores de alta frecuencia, rectificación y filtrado. En un inversor multinivel, el diseño del bus es especialmente crítico, ya que debe garantizar el equilibrio de tensión entre niveles, minimizar el rizado, absorber transitorios y soportar corrientes pulsantes sin generar desbalances que afecten la calidad de la onda de salida (22). El modelo implementado tiene la posibilidad de variación independiente por medio de señales de alta frecuencia, lo cual incrementa su nivel

de estabilidad ya que permite regular los niveles de tensión por celda y encontrar equilibrio para los diferentes niveles del inversor.

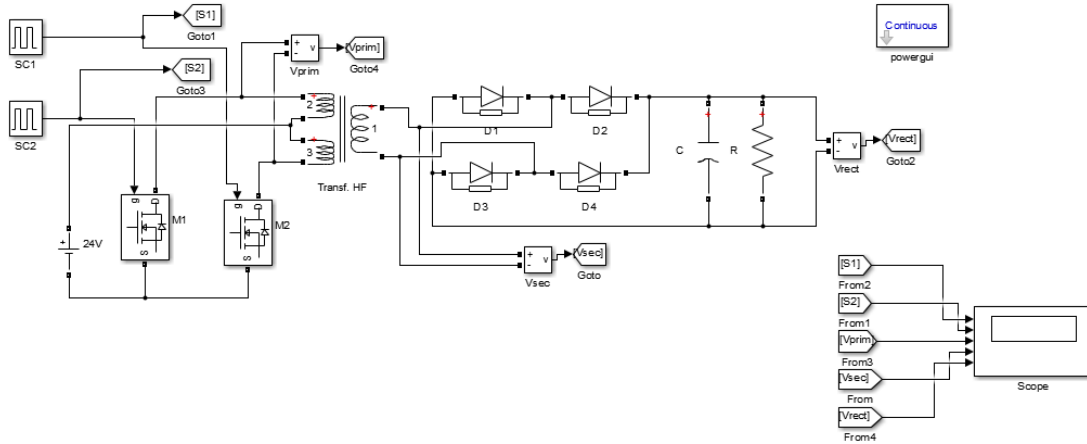


Figura 3. Esquema del bus de DC.

Fuente: elaboración propia.

La tensión instantánea en el devanado secundario está dada por la siguiente fórmula:

$$V_s \approx \left( \frac{N_s}{N_{p/2}} \right) V_{in} \quad (3)$$

donde  $N_s$  es el número de espiras del devanado secundario y  $N_{p/2}$  es la mitad de espiras del devanado primario con toma central. Para  $V_{out,máx} = 99.96 \text{ V}$ , la relación de transformación corresponde a:

$$\frac{N_s}{N_{p/2}} \approx \frac{99.96 \text{ V}}{12 \text{ V}} = 8.33 \quad (4)$$

### 2.3. Estados de conmutación

El inversor está constituido por dos celdas de puente H conectadas en cascada por fase, cada una con fuente de tensión continua independiente  $V_{dc}$ . Para cada fase la tensión total de salida es el resultado de la suma de las tensiones generadas por cada celda:

$$v_x = v_{x1} + v_{x2} \quad (5)$$

Cada celda de puente H puede generar tres niveles de tensión  $(+V_{dc}, 0, -V_{dc})$ , asociados al estado de conmutación de sus interruptores. Como tienen tres estados, los niveles posibles de tensión para  $v_x$  son:

$$v_x \in (-2V_{dc}, -V_{dc}, 0, +V_{dc}, +2V_{dc}) \quad (6)$$

Cada celda usa cuatro interruptores  $S_1, S_2, S_3$  y  $S_4$ , donde para evitar *shoot-through* en cada pierna se encuentra el estado y su complementario:

$$S_1 = \overline{S_2}, \quad S_3 = \overline{S_4} \quad (7)$$

**Tabla 1.** Tabla de verdad operativa por fase.

$C_1$	$C_2$	$S_{11}$	$S_{12}$	$S_{13}$	$S_{14}$	$S_{21}$	$S_{22}$	$S_{23}$	$S_{24}$	$V_o$
P	P	1	0	0	1	1	0	0	1	$+2V_{dc}$
P	Z	1	0	0	1	1	0	1	0	$+V_{dc}$
Z	P	1	0	1	0	1	0	0	1	$+V_{dc}$
P	N	1	0	0	1	0	1	1	0	0
Z	Z	1	0	1	0	1	0	1	0	0
N	P	0	1	1	0	1	0	0	1	0
Z	N	1	0	1	0	0	1	1	0	$-V_{dc}$
N	Z	0	1	1	0	1	0	1	0	$-V_{dc}$
N	N	0	1	1	0	0	1	1	0	$-2V_{dc}$

**Fuente:** elaboración propia.

La Tabla 1 corresponde a los estados lógicos presentes en el inversor para la generación de los cinco niveles de operación por fase, donde  $C_1$  y  $C_2$  corresponden a los niveles de tensión por celda  $P \rightarrow V_{dc}$ ,  $Z \rightarrow 0$  y  $N \rightarrow -V_{dc}$ . El sistema trifásico corresponde al mismo comportamiento por fase con un desfase de  $120^\circ$  entre sí. Por tanto, la tensión de las fases corresponde a:

$$v_b = v_{x1,b} + v_{x2,b}, \quad v_c = v_{x1,c} + v_{x2,c} \quad (8)$$

y la tensión línea-línea:

$$v_{ab} = v_a - v_b, \quad v_{bc} = v_b - v_c, \quad v_{ca} = v_c - v_a \quad (9)$$

## 2.4. Modelo de optimización armónica

Los algoritmos genéticos (AG) son un tipo de algoritmo evolutivo empleado para optimizar el rendimiento de los inversores multinivel (MLI) mediante la resolución de problemas complejos y no lineales (17). Su principal aplicación es minimizar la distorsión armónica total (THD) y

eliminar armónicos específicos de orden inferior en la tensión de salida del inversor, lo cual es esencial para mejorar la calidad de la energía en aplicaciones de tracción (7,19).

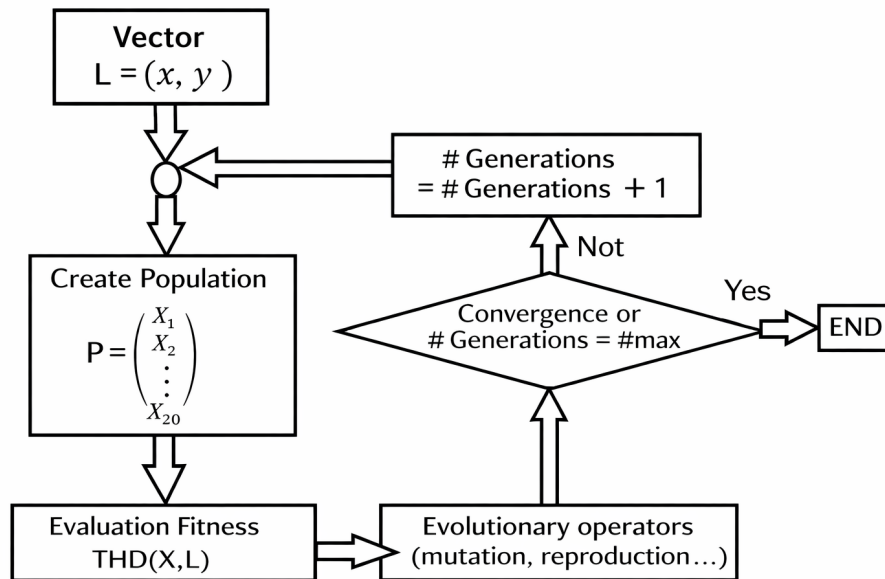


Figura 4. Diagrama de flujo del modelo implementado de optimización de armónicos.

Fuente: elaboración propia.

El diagrama de flujo presentado en la Figura 4 contempla el proceso de optimización, donde inicialmente se define el vector de variables de decisión  $L = (x, y)$ , teniendo en cuenta que  $x$  representa los ángulos de disparo iniciales y  $y$  corresponde al valor esperado del cálculo de %THD. Partiendo de este vector, se procede a la creación de la población inicial  $X = (X_1, X_2, \dots, X_n)$ , donde cada individuo representa una posible solución al esquema de conmutación. Esta misma se genera de forma aleatoria para garantizar diversidad genética.

A continuación, cada individuo es sometido mediante una función objetivo a un proceso de evaluación, representada por  $THD(X, L)$ , la cual considera la calidad de la solución conforme al criterio de optimización correspondiente. La función objetivo está fundamentada en el análisis espectral de los ángulos de disparo del inversor y su cercanía a cero para los primeros 50 armónicos como lo establece la norma IEEE-519:

$$v_{aN}(t) = V_1 \sin(\omega t) + \sum_{h=2}^{\infty} V_h \sin(h\omega t + \phi_h) \quad (10)$$

$$\text{THD} = \sqrt{\frac{\sum_{n=2}^{50} \left( \frac{1}{n} \left( \sum_{i=1}^2 \sum_{j=1}^{L_i} (-1)^{j-1} \cos(n\alpha_{ij}) \right) \right)^2}{\left( \sum_{i=1}^2 \sum_{j=1}^{L_i} (-1)^{j-1} \cos(\alpha_{ij}) \right)^2}} \times 100 \quad (11)$$

Con base en los resultados de la evaluación, se aplican operadores evolutivos, tales como selección, reproducción y mutación que permiten obtener nuevas poblaciones. La finalización del proceso de optimización está sujeta al criterio de parada donde se obtiene el mejor valor de THD cercano a cero. La Figura 5 muestra la evolución del valor de la función objetivo durante el proceso de optimización.

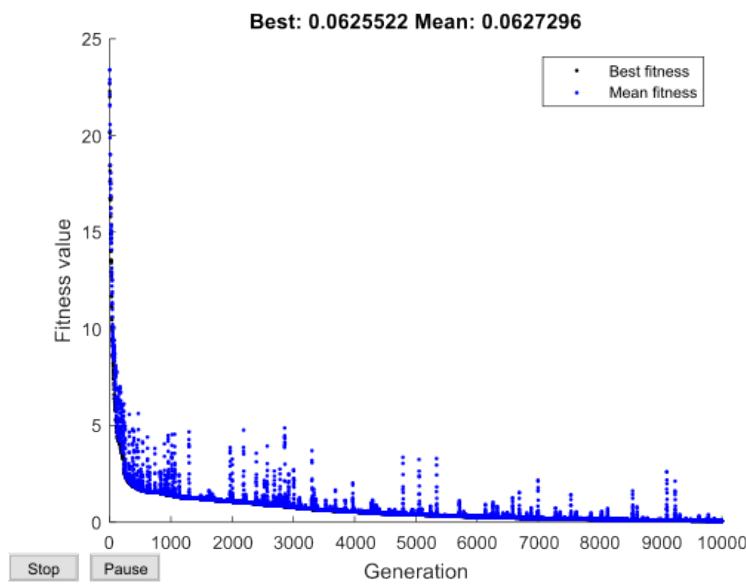


Figura 5. Evolución del proceso de optimización.

Fuente: autores.

Para la implementación se obtiene un esquema de conmutación optimizado con veinticuatro grupos de ángulos de disparo con sus respectivos tiempos de reloj, que posteriormente son codificados mediante VHDL en la tarjeta Nexys 4 DDR con Artix-7 FPGA Digilent. Las señales de control de los puentes H y del bus de DC se asignan a los puertos Pmod JA, JB, JC y JD, configurando las salidas digitales con el estándar de E/S IOSTANDARD = LVCMOS33, compatible con niveles lógicos de 3.3 V.

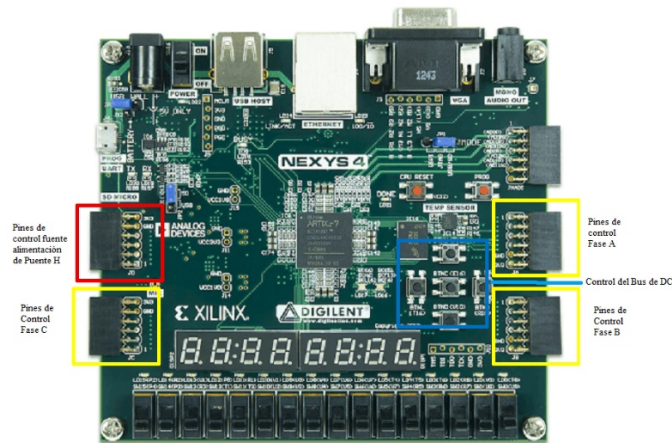


Figura 6. FPGA Nexys 4 modelo Artix-7 XC7A100T-CSG324.

Fuente: (23).

### 3. Resultados

Se presentan los resultados del prototipo físico del inversor multinivel, desarrollado como validación experimental del diseño teórico y de las simulaciones previas realizadas. El montaje integra las celdas de potencia basadas en puentes H, la etapa de control, los circuitos de disparo y el circuito del bus de DC por celda, conformando un sistema completo y funcional puesto a prueba en vacío.

#### 3.1. Tensiones de fase del inversor

Las mediciones experimentales realizadas sobre el prototipo físico del inversor, con un bus de DC independiente de aproximadamente 90 V por celda, muestran en la Figura 7 una estructura multinivel de cinco niveles claramente definida. Los escalones de tensión se distribuyen simétricamente alrededor del eje cero. Los valores eficaces medidos se ubican alrededor de 113–114 Vrms, y la frecuencia corresponde a 59.98 Hz, confirmando una operación estable cercana a la frecuencia nominal de 60 Hz.

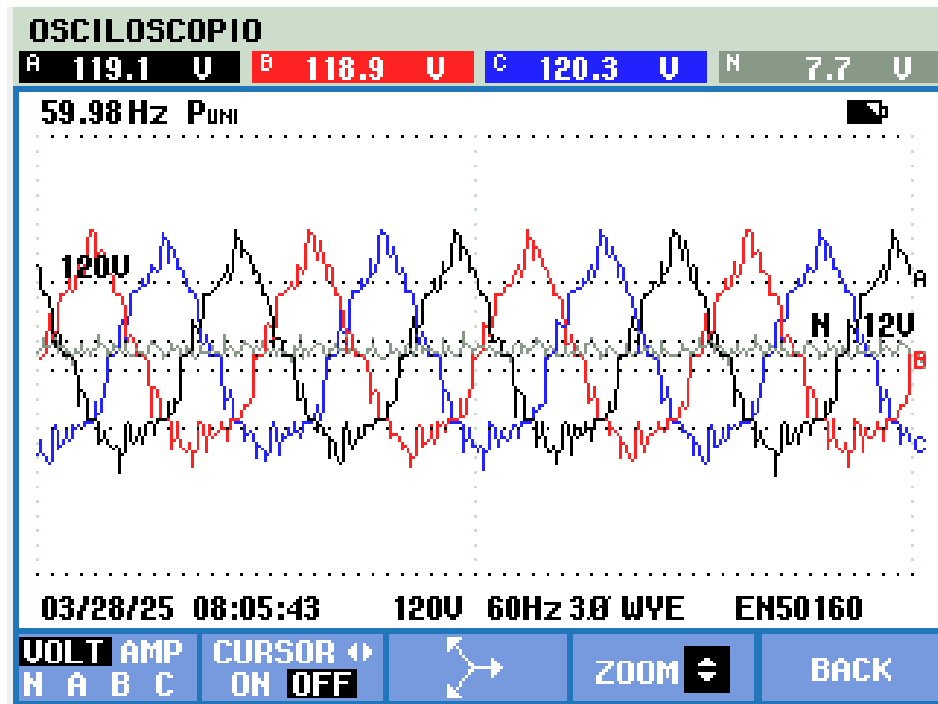
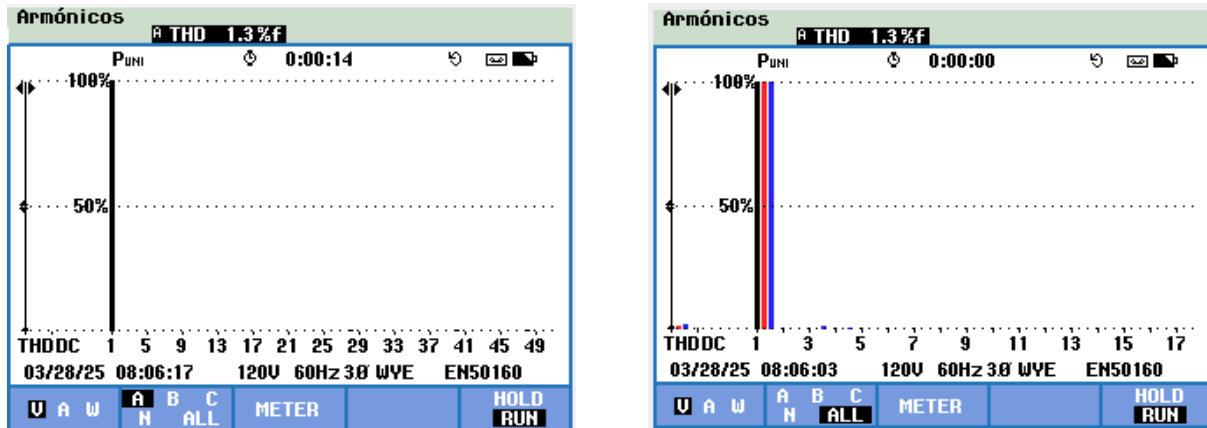


Figura 7. Tensiones de fase del inversor trifásico con algoritmo de optimización.

Fuente: elaboración propia.

El espectro armónico de las tensiones de fase muestra que la mayor parte de la energía de la señal se concentra en la componente fundamental, mientras que las componentes armónicas presentan magnitudes significativamente reducidas. Los valores de THD de fase se encuentran en el orden de 1.2% a 1.3%, indicando una baja distorsión armónica.



(a) Fase A

(b) Fases A, B y C

Figura 8. Espectro de las tensiones de fase del inversor multinivel.

Fuente: elaboración propia.

### 3.2. Tensiones de línea del inversor

Las tensiones de línea del inversor multinivel trifásico de cinco niveles presentan una forma de onda escalonada con nueve niveles definidos. Los valores eficaces de tensión línea-línea, del orden de 204–205 Vrms, y la frecuencia de 59.98 Hz confirman un sistema trifásico balanceado. La simetría y regularidad de los escalones indican una correcta sincronización de los puentes H y una buena aproximación senoidal, como se observa en la Figura 9.

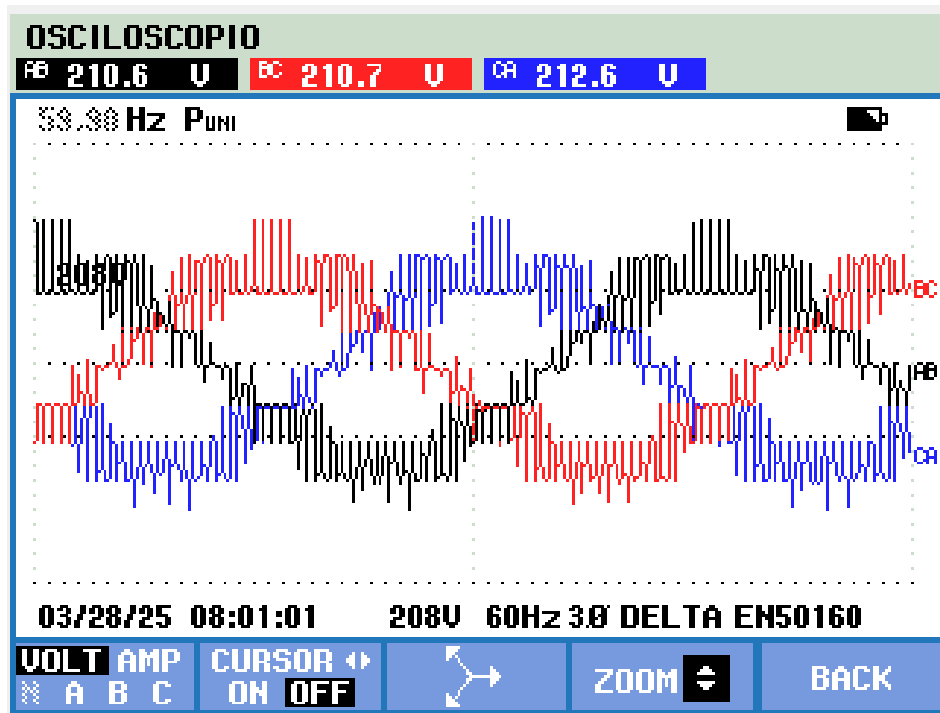
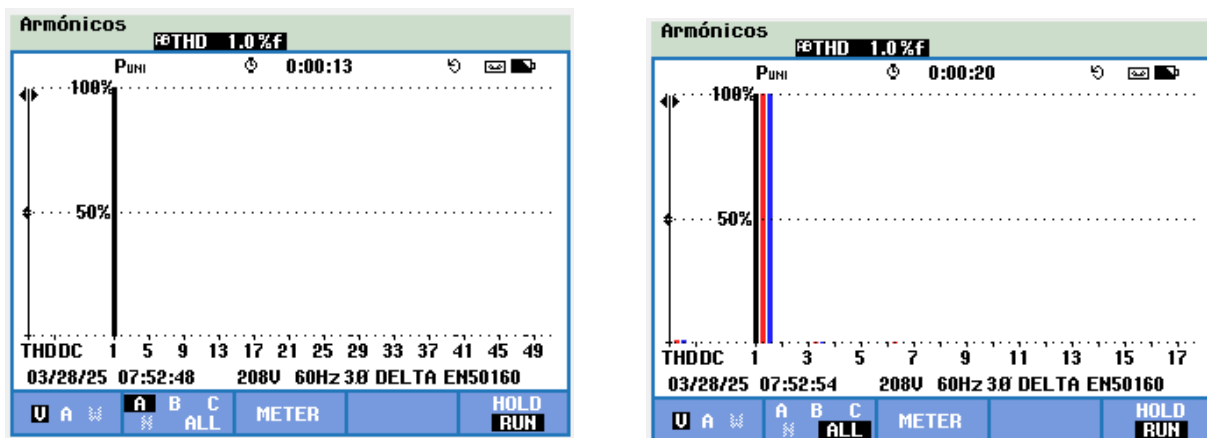


Figura 9. Tensiones línea-línea del inversor.

Fuente: elaboración propia.



(a) AB

(b) AB, BC y CA

Figura 10. Espectro de tensiones de línea-línea.

Fuente: elaboración propia.

El espectro armónico de las tensiones línea-línea muestra una dominancia clara de la com-

ponente fundamental, con valores de THD del orden de 1.0 % a 1.2 %. Las armónicas de bajo orden presentan amplitudes despreciables, evidenciando el efecto de la topología multinivel con optimización armónica.

**Tabla 2.** Mediciones experimentales del prototipo físico del inversor multinivel en vacío.

Tensiones del inversor	Valor eficaz (Vrms)	THD (%)	Frecuencia (Hz)	Fase (°)
VA	113.3	1.2	59.98	0
VB	112.7	1.2	59.98	120
VC	113.6	1.6	59.98	240
VAB	204.3	1.0	59.98	–
VBC	204.6	1.2	59.98	–
VCA	205.7	1.2	59.98	–

**Fuente:** elaboración propia.

#### 4. Discusión comparativa y análisis de desempeño

La implementación experimental del inversor multinivel CHB-5 permitió validar el desempeño de la estrategia de optimización armónica basada en algoritmo genético bajo condiciones controladas de operación en vacío. Los valores de THD obtenidos experimentalmente (1.2–1.6 % en fase y 1.0–1.2 % en línea–línea) se encuentran dentro de rangos reportados en estudios recientes sobre optimización en inversores multinivel, como los presentados en (7).

En comparación con técnicas convencionales de modulación sinusoidal PWM (SPWM), ampliamente documentadas en la literatura, la estrategia implementada permite una reducción significativa de armónicos de bajo orden sin requerir incremento en la frecuencia de conmutación. Esto resulta particularmente relevante en aplicaciones de potencia media y alta, donde el aumento de frecuencia implica mayores pérdidas por conmutación y estrés térmico en los dispositivos semiconductores. Desde el punto de vista topológico, la configuración CHB-5 adoptada presenta ventajas estructurales frente a arquitecturas NPC o de condensadores volantes, principalmente en términos de modularidad y escalabilidad, tal como se discute en (8).

**Tabla 3.** Comparación de estudios de topologías de inversores multinivel con optimización armónica.

Referencia	Topología	Niveles	Técnica de optimización	Validación	THD (%)	Implementación experimental
[7]	NPC	3	GA	Experimental	1.8-2.5	Sí
[18]	MLI varios	5-11	PSO / ALO	Simulación	< 2.0	No
[21]	CHB	5	Modulación escalonada	Experimental	2.1-3.0	Sí
[24]	Topología reducida	7	PD-PWM	Simulación	3-4	No
Trabajo propuesto	CHB	5	GA (ángulos SHE optimizados)	Experimental	1.0-1.6	Sí (FPGA)

**Fuente:** elaboración propia.

**Tabla 4.** Comparativa de estudios en términos de complejidad estructural y eficiencia.

Referencia	Topología	No. interruptores por fase	Frecuencia de conmutación	Técnica de control	Implementación HW	Complejidad de control	Eficiencia reportada / estimada
[7]	NPC 3 niveles	4	Alta (PWM)	GA + PWM	Experimental	Media	94-96%
[21]	CHB 5 niveles	8	Media	Modulación escalonada	Experimental	Baja-media	No reportada
[24]	Topología reducida 7 niveles	6	Alta (PD-PWM)	PWM multinivel	Simulación	Media	No reportada
Trabajo propuesto	CHB 5 niveles	8	Baja-media (SHE optimizado)	GA (ángulos optimizados)	Experimental (FPGA)	Media	Estimada > 95%

**Fuente:** elaboración propia.

Esta comparativa permite contextualizar el desempeño del inversor propuesto frente a trabajos recientes. Los resultados obtenidos son comparables a los valores reportados en estudios basados en técnicas metaheurísticas como PSO y ALO, descritos en (18). Sin embargo, varios de esos trabajos se limitan a entornos de simulación, mientras que el presente estudio incorpora implementación experimental en hardware real mediante FPGA. Este aspecto aporta mayor robustez a los resultados reportados al considerar efectos prácticos como retardos de disparo, tolerancias de componentes y desbalances mínimos del bus DC.

En conjunto, el análisis comparativo evidencia que la contribución principal del trabajo no radica únicamente en la reducción del THD, sino en la integración de una arquitectura CHB-5 con optimización genética implementada experimentalmente en FPGA. No obstante, para consolidar su aplicabilidad en entornos de mayor exigencia, será necesario extender la validación hacia análisis bajo carga, evaluación de eficiencia energética y comparación sistemática con otras estrategias de modulación y optimización.

## 5. Conclusiones

Con el desarrollo del presente trabajo se pudo diseñar, implementar y validar experimentalmente un inversor multinivel trifásico en cascada de cinco niveles (CHB-5-MLI) con optimización armónica basada en algoritmo genético, orientado a la mejora de la calidad espectral de las tensiones de salida. Los resultados experimentales en vacío evidencian una correcta generación de cinco niveles por fase y nueve niveles línea-línea, con comportamiento trifásico balanceado, frecuencia estable de 59.98 Hz y desfase de 120° entre fases. Los valores de distorsión armónica total obtenidos se encuentran entre 1.2% y 1.6% para tensiones de fase, y entre 1.0% y

1.2% para tensiones línea–línea, lo que confirma la efectividad del modelo de optimización implementado en la reducción de armónicos de bajo orden.

El algoritmo genético permite determinar ángulos de conmutación que minimizan la contribución espectral hasta el armónico 50, logrando concentrar la energía principalmente en la componente fundamental y desplazando el contenido armónico hacia órdenes superiores de menor impacto. Este comportamiento demuestra la viabilidad del uso de técnicas evolutivas para resolver problemas no lineales asociados a esquemas de modulación en inversores multi-nivel.

Desde el punto de vista estructural, la arquitectura modular basada en celdas puente H con fuentes DC independientes y aislamiento mediante transformadores de alta frecuencia proporciona flexibilidad de escalamiento y reducción del estrés de tensión en dispositivos semiconductores. Asimismo, la implementación en FPGA garantiza sincronización precisa de disparos y estabilidad temporal del sistema de conmutación.

No obstante, el estudio se limita a validaciones en condiciones de operación en vacío, por lo que el comportamiento dinámico bajo carga y la evaluación de corrientes armónicas no fueron abordados en esta etapa. En consecuencia, futuras investigaciones deberán incluir pruebas con carga RL y/o máquina eléctrica, análisis de eficiencia energética, estudio de pérdidas de conmutación y comparación cuantitativa con técnicas de modulación convencionales como SPWM o SHE-PWM tradicional.

En conjunto, los resultados obtenidos demuestran que la combinación de topología CHB-5 y optimización genética constituye una solución técnicamente viable para aplicaciones de conversión de potencia que requieran baja distorsión armónica y arquitectura modular, sentando bases para desarrollos posteriores orientados a aplicaciones de mayor exigencia energética.

## Financiamiento

Este trabajo es resultado del proyecto de investigación de maestría titulado “Desarrollo de un inversor multinivel en cascada trifásico (CHB-5-MLI) con optimización armónica”, avalado por el programa de Maestría en Controles Industriales y por la Vicerrectoría de Investigaciones de la Universidad de Pamplona.

## Agradecimientos

Agradecemos a la Universidad de Pamplona el apoyo brindado en el desarrollo de esta investigación, y al fondo del Ministerio de Ciencias de Colombia en el marco de la Convocatoria 890.

## Referencias

- [1] S. Shakeera y K. Rachananjali, "An innovative 11-level multilevel inverter topology with rotating trapezoidal SPWM for industrial and renewable applications," *Sci. Rep.*, vol. 14, art. 22359, 2024. <https://doi.org/10.1038/s41598-024-73791-0>
- [2] A. Azizi, M. Akhbari, S. Danyali, Z. Tohidinejad y M. Shirkhani, "A review on topology and control strategies of high-power inverters in large-scale photovoltaic power plants," *Heliyon*, vol. 11, art. e42334, 2025. <https://doi.org/10.1016/j.heliyon.2025.e42334>
- [3] H. Alnuman, E. Hussain, M. Aly, E. M. Ahmed y A. Alshahir, "Cascaded H-bridge multilevel converter topology for a PV connected to a medium-voltage grid," *Machines*, vol. 13, no. 7, art. 540, 2025. <https://doi.org/10.3390/machines13070540>
- [4] A. Renault, "Control predictivo de corriente aplicado al filtro activo de potencia basado en convertidores puente-H multinivel," tesis doctoral, Facultad de Ingeniería, Universidad Nacional de Asunción, Asunción, Paraguay, 2022.
- [5] H. P. Vemuganti, D. Sreenivasarao, S. K. Ganjikunta, H. M. Suryawanshi y H. Abu-Rub, "A survey on reduced switch count multilevel inverters," *IEEE Open J. Ind. Electron. Soc.*, vol. 2, pp. 80–94, 2021. <https://doi.org/10.1109/OJIES.2021.3050214>
- [6] N. Hernández Díaz, A. Pardo García, E. N. Sánchez Camperos y C. J. Vega, "Implementación de un módulo para el control y gestión del almacenamiento de energía en una microrred eléctrica," *Rev. Colomb. Tecnol. Avanzada*, vol. 1, no. 37, pp. 91–98, 2021. <https://doi.org/10.24054/rcta.v1i37.1258>
- [7] Y. Bouali, K. Imarazene y E. M. Berkouk, "Total harmonic distortion optimization of multilevel inverters using genetic algorithm: Experimental test on NPC topology with self-balancing of capacitors voltage using multilevel DC–DC converter," *Arab. J. Sci. Eng.*, vol. 48, pp. 6067–6087, 2023. <https://doi.org/10.1007/s13369-022-07265-8>
- [8] S. Choudhury, M. Bajaj, T. Dash, S. Kamel y F. Jurado, "Multilevel inverter: A survey on classical and advanced topologies, control schemes, applications to power system and future prospects," *Energies*, vol. 14, no. 18, art. 5773, 2021. <https://doi.org/10.3390/en14185773>
- [9] J. E. Meneses Flórez, F. A. Parra Garavito y E. S. Meneses Chacón, "Identification of faults in mechanical petroleum pumping systems using neuro fuzzy," *Rev. Colomb. Tecnol. Avanzada*, vol. 1, no. 37, pp. 10–22, 2021. <https://doi.org/10.24054/rcta.v1i37.973>
- [10] J. Pacher, J. Rodas, A. Renault, M. Ayala, L. Comparatore y R. Gregor, "Design and validation of a multilevel voltage source inverter based on modular H-bridge cells," *HardwareX*, vol. 15, art. e00452, 2023. <https://doi.org/10.1016/j.ohx.2023.e00452>
- [11] J. Ruiz Thorrens y O. Pinzón Ardila, "Modeling and simulation of a static synchronous compensator for power distribution systems," *Rev. Colomb. Tecnol. Avanzada*, vol. 1, no. 43, pp. 57–63, 2024. <https://doi.org/10.24054/rcta.v1i43.2804>
- [12] M. D. Ayala Medrano, "Reducción de la THD en inversores trifásicos multinivel por medio de la técnica SHE–PWM utilizando un algoritmo híbrido de optimización," trabajo de titulación, Universidad Politécnica Salesiana, Sede Quito, Ecuador, 2025.

- [13] R. K. Padmashini *et al.*, “Experimental analysis of sensor (solar PV) based variable frequency multi-carrier PWM techniques for enhanced power quality in bioengineering systems,” *Case Stud. Therm. Eng.*, vol. 69, art. 105897, 2025. <https://doi.org/10.1016/j.csite.2025.105897>
- [14] H. Mollahasanoglu, M. Mollahasanoglu y E. Ozkop, “Comparative study of single-phase multi-level cascaded transformerless inverters with different modulation methods,” *J. Eng. Sci. Technol.*, vol. 51, art. 101652, 2024. <https://doi.org/10.1016/j.jestch.2024.101652>
- [15] A. J. Saavedra Montes, C. Hernández Lenis y C. A. Ramos Paja, “Laboratorio flexible para probar dispositivos eléctricos y emular microrredes,” *Rev. Colomb. Tecnol. Avanzada*, vol. 1, no. 45, pp. 216–224, 2025. <https://doi.org/10.24054/rcta.v1i45.3477>
- [16] L. D. Comparatore Franco, “Aportaciones al control no lineal en aplicaciones de convertidores multiniveles,” tesis doctoral, Facultad de Ingeniería, Universidad Nacional de Asunción, Asunción, Paraguay, 2022.
- [17] A. M. Abdel-Hamed, A. M. Nasser, H. Shatla y A. Refky, “An improved SPWM control approach with aid of ant lion optimization for minimizing the THD in multilevel inverters,” *Sci. Rep.*, vol. 15, art. 1990, 2025. <https://doi.org/10.1038/s41598-024-84678-5>
- [18] T. A. Taha *et al.*, “Recent advancements in multilevel inverters: Topologies, modulation techniques, and emerging applications,” *Symmetry*, vol. 17, no. 7, art. 1010, 2025. <https://doi.org/10.3390/sym17071010>
- [19] I. H. Shanono, N. R. H. Abdullah, H. Daniyal y A. Muhammad, “Moth flame algorithm-based optimization of a reduced switch multilevel inverter topology suitable for standalone application,” *Neural Comput. Appl.*, vol. 36, pp. 9437–9479, 2024. <https://doi.org/10.1007/s00521-024-09576-3>
- [20] G. Ezhilarasan *et al.*, “An empirical survey of topologies, evolution, and current developments in multilevel inverters,” *Alexandria Eng. J.*, vol. 83, pp. 148–194, 2023. <https://doi.org/10.1016/j.aej.2023.10.049>
- [21] A. Sedaghati, P. Horrillo-Quintero, H. Sanchez-Sainz y L. M. Fernandez-Ramírez, “Staircase modulation improvement to balance output power of stages of cascade H-bridge multilevel inverter,” *Comput. Electr. Eng.*, vol. 103, art. 108331, 2022. <https://doi.org/10.1016/j.compeleceng.2022.108331>
- [22] C. A. Ramos Paja, S. I. Serna Garcés y A. J. Saavedra Montes, “Rectificador elevador/reductor con corrección de factor de potencia basado en un convertidor Cuk y control por modos deslizantes,” *Rev. Colomb. Tecnol. Avanzada*, vol. 2, no. 46, pp. 110–122, 2025. <https://doi.org/10.24054/rcta.v2i46.3525>
- [23] Digilent, Inc., *Nexys 4 FPGA Board Reference Manual*, rev. B. Digilent, Inc., abril de 2016. [En línea]. Disponible en: <https://digilent.com/reference/programmable-logic/nexys-4/reference-manual>
- [24] V. Sambhavi Y y R. Vijayapriya, “Phase disposition PWM control topology based: A novel multilevel inverter with reduced switch for power electronics applications,” *Heliyon*, vol. 10, art. e39856, 2024. <https://doi.org/10.1016/j.heliyon.2024.e39856>

